

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-291841

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 2000-105893

(71)Applicant : TARUI YASUO
NIPPON PRECISION CIRCUITS INC

(22)Date of filing : 07.04.2000

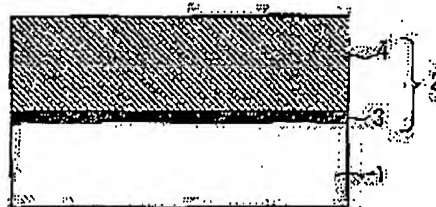
(72)Inventor : TARUI YASUO
SAKAMAKI KAZUO

(54) FERROELECTRIC MEMORY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that, in a ferroelectric memory element of a MFIS(metal-ferroelectric-insulator-semiconductor) structure when an insulator film (buffer layer) and a ferroelectric thin film are formed, an unwanted low permittivity layer is formed between a silicon semiconductor substrate and the insulator film (buffer layer), so that a capacitance of the insulator film is lowered and a sufficient voltage is not applied for inversion of polarization of a ferroelectric.

SOLUTION: An insulation film (2) on a silicon semiconductor substrate (1) presents a ferroelectric memory element of an MFIS structure containing a low permittivity layer control film (3) and a mutual diffusion prevention film (4), and it is restricted that an unnecessary low permittivity layer is formed between the semiconductor substrate and the insulation film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

Searching PAJ

2/2 ページ

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-291841

(P2001-291841A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl.	識別記号	F I	テマート(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 0 1
21/8247		29/78	3 7 1 5 F 0 8 3
29/788			5 F 1 0 1
29/792			

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2000-105893(P2000-105893)

(22) 出願日 平成12年4月7日 (2000. 4. 7)

(71) 出願人 500118034

垂井 康夫

東京都世田谷区瀬田1丁目9番27-304号

(71) 出願人 390009667

日本プレシジョン・サーキット株式会社

東京都江東区福住2丁目4番3号

(72) 発明者 垂井 康夫

東京都世田谷区瀬田1丁目9番27-304号

(72) 発明者 坂巻 和男

東京都江東区福住2丁目4番3号 日本プ

レシジョン・サーキット株式会社内

(74) 代理人 100059959

弁理士 中村 稔 (外9名)

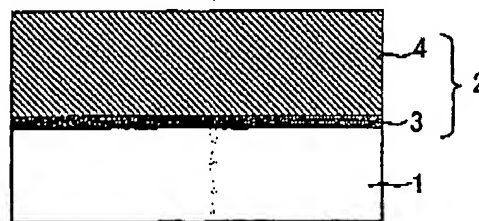
最終頁に続く

(54) 【発明の名称】 強誘電体記憶素子

(57) 【要約】

【課題】 MFIS (金属-強誘電体-絶縁体-半導体) 構造の強誘電体記憶素子において、絶縁体膜 (パッファ層) と強誘電体薄膜の形成時に、シリコン半導体基板と絶縁体膜 (パッファ層) の間に不要な低誘電率層が形成され、よって絶縁体膜のキャパシタンスが低下し、強誘電体の分極の反転に十分な電圧が印加されないという問題を解決すること。

【解決手段】 シリコン半導体基板 (1) 上の絶縁膜 (2) が、低誘電率層抑制膜 (3) と相互拡散防止膜 (4) とを含む MFIS 構造の強誘電体記憶素子を提供し、不要な低誘電率層が半導体基板と絶縁膜の間に形成されるのを抑制する。



(2)

特開2001-291841

1

【特許請求の範囲】

【請求項1】 シリコン半導体基板上に絶縁膜と強誘電体膜とを順次積層した構造の強誘電体記憶素子であって、前記絶縁膜が低誘電率層抑制膜と相互拡散防止膜とを含むことを特徴とする強誘電体記憶素子。

【請求項2】 前記低誘電率層抑制膜がシリコン窒化膜を主体とする絶縁性薄膜であることを特徴とする請求項1記載の強誘電体記憶素子。

【請求項3】 前記低誘電率層抑制膜がシリコン半導体基板の表面近傍に窒素があることを特徴とする請求項1記載の強誘電体記憶素子。

【請求項4】 前記低誘電率層抑制膜がシリコン窒化酸化膜またはシリコン窒化膜であり、前記相互拡散防止膜が酸化セリウム (CeO_2) 膜であり、前記強誘電体膜が、 $\text{SrBi}_2\text{Ta}_2\text{O}_7$ の膜であることを特徴とする請求項1記載の強誘電体記憶素子。

【請求項5】 前記相互拡散防止膜が、 CeO_2 、 Ce-ZrO_2 、 YSZ (酸化イットリウム安定化酸化ジルコニウム)、 Y_2O_3 、 SrTiO_3 、 ZrO_2 、 HfO_2 および $(\text{BaSr})\text{TiO}_3$ (BST) からなるグループの中から選ばれた一つの材料の膜または2つ以上の材料の積層であることを特徴とする請求項1記載の強誘電体記憶素子。

【請求項6】 前記強誘電体膜が、 PbTiO_3 、 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 、 $\text{Pb}_{1-x}\text{La}_x\text{Zr}_{1-x}\text{Ti}_x\text{O}_3$ 、 BiTiO_3 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{Sr}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$ および $\text{SrBi}_2\text{Ta}_2\text{O}_7$ からなるグループの中から選ばれた一つの材料の薄膜であることを特徴とする請求項1記載の強誘電体記憶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般に強誘電体記憶素子に関し、より詳細には、トランジスタのゲートに強誘電体薄膜を用いてソースドレイン間の電流を制御することができる不揮発性メモリと、強誘電体キャパシタの電荷を用いた不揮発性メモリとに関するものである。

【0002】

【従来の技術】 従来より、実用化されている強誘電体不揮発性メモリFRAM (Ferroelectric Random Access Memory) は、低電圧動作であり、かつ、書き換え回数が従来のEEPROM (Electrically Erasable and Programmable Read Only Memory)、Flash Memoryなどの不揮発性メモリより優れていると言われている。しかしながら、このFeRAMは、DRAMのキャパシタを強誘電体キャパシタに置き換えた構造で (特開平2-113496号公報記載)、データの読み出し毎に再度書き込みを必要とする。この読み出し、書き込み動作いずれもが強誘電体の分極反転を伴い、強誘電体の疲労が激しく、また、いずれの動作もキャパシタの充

2

放電を伴うため、その動作時間は100nsec.程度を要している。さらに、トランジスタとキャパシタとを別々に設ける必要があり、大容量化を目指した面積縮小化には不利である。

【0003】これに対して、トランジスタのゲート絶縁膜部分に強誘電体を用いたMFS-FET (Metal Ferroelectrics Semiconductor Field Effect Transistor) は、強誘電体の分極がトランジスタのチャンネルの電荷を誘起することによって、ソースドレイン間をオン、オフさせるもので、セル面積を比例縮小させても、ドレイン電流の変化率は変わらない。これは、強誘電体トランジスタのメモリセルがスケールリング則に従っている (電子情報通信学会誌77-9, p976, 1994) ことを意味し、微細化に際して原理的な限界は存在しない。さらに、トランジスタ型強誘電体メモリは強誘電体の分極により、FETのオン、オフを維持するため、低電圧による読み出し動作により情報が破壊されない、いわゆる非破壊読み出しすることも可能である。

【0004】しかし、この構造の場合、シリコン半導体基板上に直接強誘電体を形成し、その上に上部電極を形成したMFS構造にすると、シリコン半導体基板側のキャリアが強誘電体に注入される (S.Y.Wu, IEEE Trans. Electron Devices: Vol. ED-21, No.8, pp. 499-504 (1974))、シリコン半導体基板と強誘電体と相互拡散が生ずる (Jpn. J. Appl. Phys., Vol.33, pp5172 (1994)) などして、良好に動作するFET (境界効果型トランジスタ) 特性が得られない。

【0005】そこで、特開平9-64206号公報に開示されるように、シリコン半導体基板と強誘電体との間に絶縁膜のパウア層を挟んだMFI-S-FET (Metal Ferroelectrics Insulator Semiconductor FET) 構造や、MFI-S構造の強誘電体層と絶縁膜の間に金属 (M) 層を挟み込んだMFMI-S-FET (Metal Ferroelectrics Metal Insulator Semiconductor - FET) (T.Nakamura et al. Dig.Tech. Pap. Of 1995 IEEE Int. Solid State Circuits Conf. P.68 (1995)) 等が提案されている。本発明は前者のMFI-S構造に関するものである。

【0006】図5は、従来のMFI-S型強誘電体メモリの簡略化した原理図の断面を示す。図5中、半導体基板Sの主面にソース領域とドレイン領域とが形成されていて、その中間の半導体基板の主面に絶縁膜のパウア層Iが形成されている。絶縁膜のパウア層I上には、強誘電体層F、導電層Mが積み重ねられている。

【0007】図6は、図5のMFI-S構造の部分を等価回路で表したものである。トランジスタのゲート絶縁膜部分に強誘電体を用いたFETは、強誘電体層Fに発生する分極を利用するため、この強誘電体層Fに抗電界以上の電界が印加されないと分極を生じさせることができず、不揮発性メモリとして動作しない。さらに、記憶保

(3)

特開2001-291841

3

持特性の観点から強誘電体Fの分極が十分飽和するまで電圧を印加することが必要である。このためには、上部電極Aと半導体基板B間に電圧Vを印加したとき、キャパシタンスC₁（強誘電体層の容量）に分配される電圧を大きくする必要があり、そのためには、キャパシタンスC₂（絶縁膜のバッファ層の容量）がキャパシタンスC₁（強誘電体層の容量）に比較して大きくなるように設計することが重要である。キャパシタンスC₁およびキャパシタンスC₂は、電圧が印加される絶縁膜のバッファ層Iまたは強誘電体層Fの比誘電率と面積に正比例し、その厚さに逆比例する関係を有する。

【0008】この設計を可能にする1つの方法として、絶縁膜のバッファ層の面積を強誘電体容量の面積よりも大きくすることが考えられるが、MFI S構造の場合、強誘電体容量の面積とバッファ層のゲート絶縁膜の面積は、強誘電体層上の導電体膜Mの面積で決まるため、面積比を変えることは出来ない。

【0009】別の方法として、キャパシタンスC₁がキャパシタンスC₂に比較して大きくなるように設計するために、絶縁膜のバッファ層Iを薄くすること、強誘電体層Fを厚くすることが考えられるが、ゲート絶縁膜Iを薄くすることは耐圧およびリーク電流の点から限界があり、強誘電体層Fを厚くすると強誘電体の分極を飽和させるために、高い分極電圧を必要とし駆動電圧が高くなる。

【0010】これらの問題を選けてキャパシタンスC₁を大きくする方法は、絶縁膜のバッファ層Iに比誘電率の高い材料を用いる方法である。例えば、絶縁膜のバッファ層として比誘電率がシリコン酸化膜（ $\epsilon = 3.9$ ）より高いCeO₂（酸化セリウム）（ $\epsilon = 26$ ）を用いることによって、キャパシタンスC₁を大きくすることができる。絶縁膜のバッファ層の形成方法は、CeO₂を直接にシリコン半導体基板上に電子線真空蒸着などで900℃酸素雰囲気中で堆積させ、界面準位を下げるために（700℃）酸素雰囲気中でアニールを施し、その後強誘電体薄膜を堆積させ、結晶化させるために酸素雰囲気中でアニールしている。

【0011】

【発明が解決しようとする課題】しかし、この場合、バッファ層と強誘電体薄膜の形成時に、シリコン半導体基板とバッファ層の間にSiO₂やCeO₂などの低誘電率層が形成されることによって膜厚が増加して絶縁膜のバッファ層IのキャパシタンスC₂が低下し、強誘電体層に印加される分配電圧は小さくなる。その結果、強誘電体層に印加される分配電圧が低いと、ゲート電極に印加する電圧を高くしなければならず、駆動電圧を高くしなければ使用できないという問題がある。

【0012】そこで本発明は、シリコン半導体基板と絶縁膜のバッファ層の間に、低誘電率層が形成されることを抑制して、絶縁膜のバッファ層のキャパシタンスの低

4

下を抑えることにより、強誘電体薄膜に十分な分配電圧を印加することができ、信頼性が高く、読み取りマージンが大きい強誘電体記憶素子を提供することを目的とするものである。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明は、シリコン半導体基板上に絶縁膜と強誘電体膜とを順次積層した構造の強誘電体記憶素子であって、絶縁膜が低誘電率層抑制膜と相互拡散防止膜とを有することを特徴とする強誘電体記憶素子を提供する。

【0014】また、本発明では、低誘電率層抑制膜がシリコン半導体基板の表面に窒素を含み、低誘電率層の抑制する手段がこの窒素から構成される。窒素を含んだシリコン半導体基板上に相互拡散防止膜を有することを特徴とする強誘電体記憶素子を提供する。

【0015】絶縁膜が有する低誘電率層抑制膜は、シリコン窒化酸化膜またはシリコン窒化膜である。絶縁膜が有する相互拡散防止膜は、CeO₂、Ce-ZrO₂、YSZ（酸化イットリウム安定化酸化ジルコニウム）、Y₂O₃、SrTiO₃、ZrO₂、HfO₂および(BaSr)TiO₃（BST）らなるグループの中から選ばれた一つの材料の層または2つ以上の材料の積層である。強誘電体薄膜は、PbTiO₃、PbZr_xTi_{1-x}O₃、Pb_yLa_{1-y}Zr_xTi_{1-x}O₃、Bi₂Ti₂O₇、Sr₂Nb₂O₇、Sr₂(Ta_xNb_{1-x})₂O₇およびSrBi₂Ta₂O₇からなるグループの中から選ばれた一つの材料の薄膜である。

【0016】本発明の上記構成によれば、低誘電率層抑制膜が、シリコン半導体基板とバッファ層の間に不要な低誘電率層が形成されることを防止する。したがって、絶縁膜のキャパシタンスが低下することがなく、強誘電体の分極の反転に十分な電圧を印加することができる。一方、相互拡散防止膜が、シリコン半導体基板と強誘電体薄膜の相互拡散を防止する。この結果、信頼性が高く、読み取りマージンが大きい強誘電体記憶素子を提供できる。以下、本発明の実施例を図面を参照しながら説明する。

【0017】

【発明の実施の形態】図1は、本発明によるMFI S構造の強誘電体記憶素子の構成の特徴部分のみを示す断面図である。すなわち、シリコン半導体基板1上の絶縁膜2は、シリコン半導体基板1上の低誘電率層抑制膜3と相互拡散防止膜4を有する。低誘電率層抑制膜3は、シリコン窒化酸化膜またはシリコン窒化膜である。相互拡散防止膜4は、CeO₂、Ce-ZrO₂、YSZ（酸化イットリウム安定化酸化ジルコニウム）、Y₂O₃、SrTiO₃、ZrO₂、HfO₂および(BaSr)TiO₃（BST）からなるグループの中から選ばれた一つの材料の層である。相互拡散防止膜4は、上記グループの中から選ばれた2つ以上の材料の積層であっても良い。

(4)

特開2001-291841

5

6

【0018】まず、本発明の絶縁膜が低誘電率抑制膜と相互拡散防止膜を有するMIS構造(試料A)と、比較として相互拡散防止膜のみを有する従来のMIS構造(試料B)を試作した。

【0019】試料Aにおいて、あらかじめシリコン基板上に1~2nmのシリコン窒化膜の低誘電率抑制膜を基板の主面に形成し、その上にシリコン基板と後述の強誘電体薄膜との間の相互拡散を阻止する相互拡散防止層を、電子ビーム蒸着法を用いて、膜厚が約10nmのCeO₂(酸化セリウム)膜を基板温度900℃酸素雰囲気中で堆積させ、次に700℃酸素雰囲気中でアニールして形成された。容量-電圧(C-V)特性を測定するために真空蒸着装置でAl電極を形成した。

【0020】試料Bは、シリコン基板上に後述の強誘電体薄膜との間の相互拡散を阻止する相互拡散防止層を試料Aと同様に、電子ビーム蒸着法を用いて、膜厚が約10nmのCeO₂膜を基板温度900℃酸素雰囲気中で堆積させ、次に700℃酸素雰囲気中でアニールして形成された。容量-電圧(C-V)特性を測定するために真空蒸着装置でAl電極を形成した。

【0021】図3は、上述の実施例のプロセスを用いて製作された、p型シリコン基板(Si)上に低誘電率抑制膜のシリコン酸化窒化膜(SiON)と相互拡散防止膜(CeO₂)とアルミニウム電極(Al)を積層した試料A(Al/CeO₂/SiON/Si)と、従来のp型シリコン基板(Si)上に相互拡散防止膜(CeO₂)を形成しアルミニウム電極(Al)を積層した試料B(Al/CeO₂/Si)の容量-電圧(C-V)を測定した結果のグラフを示す。図3中、(A)は本発明の構造による試料(Al/CeO₂/SiON/Si)の容量-電圧特性のグラフであり、(B)は従来の構造による試料(Al/CeO₂/Si)の容量-電圧特性のグラフである。この結果から明らかなように、試料Aの方が試料Bに比べてキャパシタンスが向上した特性になっていることがわかる。これは、シリコン半導体基板と相互拡散抑制膜の間の低誘電率層を抑制できたことによるものである。

【0022】次に、上述の実施例のプロセスにより得られた、試料Aの低誘電率抑制膜と相互拡散防止膜を有する絶縁膜上と、試料Bの相互拡散防止膜のみを有する絶縁膜上のそれぞれに、SrBi₂Ta₂O₇(SBT)の強誘電体薄膜を膜厚約500nm形成した。形成方法は2エチルヘキセン塩酸からなるストロンチウム(Sr)、ビスマス(Bi)、タンタル(Ta)の有機金属液を用意し、金属モル比で、Sr:Bi:Ta=0.8:2.2:2.2の割合で混合し、0.15モルパーセントになるように、ヘキサンで希釈した。この薬液を2000rpmで回転している基板1のウエハに滴下して塗布し、大気中で150℃で乾燥した後250℃で乾燥させ、さらに管状炉で400℃酸素雰囲気中で乾燥させ

た。再度、前記薬液をウエハに塗布してこの操作を繰返して、計5回薬液をウエハに塗布し乾燥させた。次に、容量-電圧(C-V)特性を測定するために、この強誘電体薄膜上に、RFスパッター装置を用いて上部電極白金(Pt)を約200nm堆積させた。最後に700℃酸素雰囲気中で結晶化アニールしてMFIS構造を形成した。

【0023】図4は、上述の実施例のプロセスにより得られた、本発明構造の低誘電率抑制膜(SiON)と相互拡散防止膜(CeO₂)を有する絶縁膜上に、SBT強誘電体薄膜を積層し、Pt電極を付けた試料A(Pt/SBT/CeO₂/SiON/Si)と、従来の相互拡散防止膜(CeO₂)のみを有する絶縁膜上に、SBT強誘電体薄膜を積層し、Pt電極を付けた試料B(Pt/SBT/CeO₂/Si)の容量-電圧(C-V)特性を示すグラフである。図4において、縦軸のC/C_{max}は正規化容量を意味する。横軸は印加電圧(V)を表す。この図4から明らかなように、曲線(a)の強誘電体の分極による閾値のずれ(メモリウィンドウ幅)は、曲線(b)の閾値のずれ(メモリウィンドウ幅)より3.7倍の大きさを有している。このことから、シリコン半導体基板と相互拡散抑制膜の間の低誘電率層を抑制できたことにより、バッファ層のキャパシタンスが向上し、より強誘電体薄膜に十分な電圧を印加することができたことによるものである。

【0024】図2は、本発明の一実施例による強誘電体記憶素子に適用されるMFIS-FETの製造プロセスを示す。図2aにおいて、出発として、抵抗率10Ωcmのp型シリコン(100)半導体単結晶基板1を用いる。この基板1の主面上には紫子間分離用のフィールド酸化膜領域5および膜厚35nmの犠牲酸化膜Xが形成されている。次の図2bにおいて、低誘電率抑制膜を形成するために、犠牲酸化膜Xを介して基板1の主面から窒素を加速エネルギー15KeVで、ドーズ量1E15/cm²で注入する。そして犠牲酸化膜Xをエッチングした後、図2cにおいて、希釈酸素雰囲気中で約850℃に加熱し、膜厚1ないし2nmのシリコン窒化酸膜(SiON膜)の低誘電率抑制膜3を基板1の主面上に形成した。

【0025】次に、図2dにおいて、この低誘電率抑制膜3上に、シリコン基板1と後述の強誘電体薄膜との間の相互拡散を阻止する相互拡散防止層4を形成する。この相互拡散防止層4は、電子ビーム蒸着法を用いて、膜厚が約10nmのCeO₂(酸化セリウム)膜を基板温度900℃酸素雰囲気中で堆積させ、700℃酸素雰囲気中でアニールして形成された。

【0026】次に、2エチルヘキセン塩酸からなるストロンチウム(Sr)、ビスマス(Bi)、タンタル(Ta)の有機金属液を用意し、金属モル比で、Sr:Bi:Ta=0.8:2.2:2.2の割合で混合し、0.1

7

5モルパーセントになるように、ヘキサンで希釈した。この薬液を2000rpmで回転している基板1のウエハに滴下して塗布し、大気中で150℃で乾燥した後250℃で乾燥させ、さらに管状炉で400℃酸素雰囲気中で乾燥させた。再度、前記薬液をウエハに塗布しこの操作を繰返して、計5回薬液をウエハに塗布し乾燥させた。この結果、図2eに示すように、 $\text{SrBi}_2\text{Ta}_2\text{O}_7$ (SBT)の強誘電体薄膜6が膜厚約500nm形成され、相互拡散防止層4上に積層された。次に、図2fにおいて、この強誘電体薄膜6上に、RFスパッター装置を用いて白金(Pt)の上部電極7を200nmの厚さ堆積させた。

【0027】次に、白金の表面にフォトリソistを塗布し、露光した後、現像した。さらに、ArおよびSF₆ガスをエッチャントとしたRIE(リアクティブ・イオン・エッチング)により、図2fの積層膜をエッチングし、図2gに示すゲート部分を加工形成した。この時、CeO₂膜4によってエッチング速度が遅くなることを利用して、シリコン基板1上のシリコン窒化酸化膜(SiON膜)3でエッチングを停止する。

【0028】次に、図2hにおいて、リン不純物をイオン注入装置を用いて基板1内にゲート部分およびフィールド酸化膜領域5をマスクとして注入し、管状炉により活性化し、ソース領域8およびドレイン領域9を半導体基板1内に形成した。この時の活性化プロセスは、エッチングで生じた強誘電体薄膜6の回復アニールも兼ねている。活性化および回復アニール条件は、700℃酸素雰囲気中で80分であった。

【0029】次に、図2iにおいて、層間膜としてO₃-TEOS(tetraethylorthosilicate)装置で、BP SG(boron phosphorus silicate glass)膜10を形成し、コンタクトホールをRIE装置を用いて形成した。次に、スパッタリング法を用いて、アルミニウム薄膜を形成した後、リソグラフィ工程により配線加工を行い、アルミニウム電極11を形成した。

【0030】ソースドレイン間の電流のオン・オフをSBTの自発分極を用いて制御してみたところ、その現象を確認することができ、不揮発性メモリとして作用させることができることを確認できた。

【0031】上述の実施例は次のような変更ができる。まず、低誘電率層抑制膜3はシリコン窒化膜でもよい。相互拡散防止膜4は、 CeZrO_2 、YSZ(酸化イットリウム安定化酸化ジルコニウム)、 Y_2O_3 、 SrTiO_3 、 ZrO_2 、 HfO_2 および $(\text{BaSr})\text{TiO}_3$ (BST)からなるグループから選んだ一つの材料の層としても同様に可能である。また、複数の材料の層を積層してもよい。強誘電体薄膜6は、 PbTiO_3 、 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 、 $\text{Pb}_{1-x}\text{La}_x\text{Zr}_{1-x}\text{TiO}_3$ 、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 、 SrNbO_3 、 $\text{Sr}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_7$ および $\text{SrBi}_2\text{Ta}_2\text{O}_7$ からなるグループの中から選ばれ

(5)

特開2001-291841

8

た一つの材料の薄膜でも同様に可能である。図2eの強誘電体薄膜6の形成プロセスは、真空蒸着、レーザーアブレーション法、MOCVD、またはスパッターでも同様に可能である。さらに上述の図2の実施例で述べている低誘電率層抑制膜を形成せずに、磁性酸化膜をエッチングした後に、相互拡散防止膜を形成することも同様に可能である。

【0032】

【発明の効果】以上説明したように、本発明による強誘電体不揮発性記憶素子によれば、シリコン半導体基板と強誘電体薄膜の間に、絶縁膜として低誘電率層抑制膜と相互拡散防止膜を設けることにより、シリコン半導体基板に不要な低誘電率層の生成を抑制して、強誘電体薄膜に十分に電圧が印加されることを可能にできる。この結果、信頼性が高く、読み取りマージンが大きい強誘電体記憶素子を提供することができる。

【図面の簡単な説明】

【図1】本発明の一例による強誘電体記憶素子の構成の特徴部分($\text{CeO}_2/\text{SiON}/\text{Si}$)のみを示す断面図である。

【図2a】本発明の実施例による強誘電体不揮発性記憶素子の製作工程の一部を示す図。

【図2b】本発明の実施例による強誘電体不揮発性記憶素子の製作工程の一部を示す図。

【図2c】本発明の実施例による強誘電体不揮発性記憶素子の製作工程の一部を示す図。

【図2d】本発明の実施例による強誘電体不揮発性記憶素子の製作工程の一部を示す図。

【図2e】本発明の実施例による強誘電体不揮発性記憶素子の製作工程の一部を示す図。

【図2f】本発明の実施例による強誘電体不揮発性記憶素子の製作工程の一部を示す図。

【図2g】本発明の実施例による強誘電体不揮発性記憶素子の製作工程の一部を示す図。

【図2h】本発明の実施例による強誘電体不揮発性記憶素子の製作工程の一部を示す図。

【図2i】本発明の実施例による強誘電体不揮発性記憶素子の製作工程の一部を示す図。

【図3】本発明の実施例による構成を持つ試料(A1/ $\text{CeO}_2/\text{SiON}/\text{Si}$)と従来の構成を持つ試料(A1/ CeO_2/Si)の容量-電圧(C-V)特性を示すグラフである。

【図4】本発明の実施例による構成を持つ試料(Pt/SBT/ $\text{CeO}_2/\text{SiON}/\text{Si}$)と従来の構成を持つ試料(Pt/SBT/ CeO_2/Si)の容量-電圧(C-V)特性を示すグラフである。

【図5】従来のMFI S型強誘電体メモリの断面図である。

【図6】MFI S型強誘電体メモリの等価回路図である。

(6)

特開2001-291841

9

10

【符号の説明】

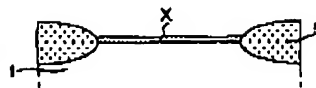
- 1 シリコン半導体基板
2 絶縁膜
3 低誘電率層抑制膜
4 相互抵抗防止膜
5 素子間分離のフィールド酸化膜

- * 6 強誘電体薄膜
7 白金電極
8 ソース領域
9 ドレイン領域
10 層間絶縁層
* 11 Al電極

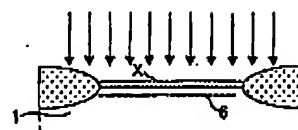
【図1】



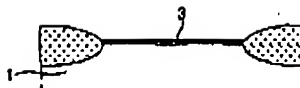
【図2 a】



【図2 b】



【図2 c】



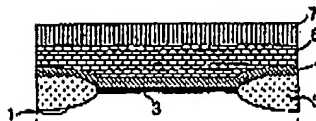
【図2 d】



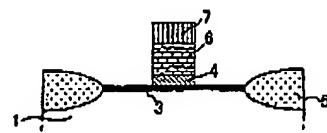
【図2 e】



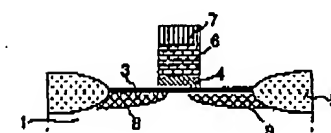
【図2 f】



【図2 g】



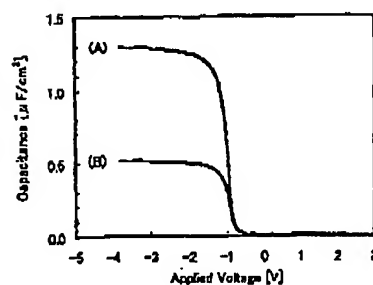
【図2 h】



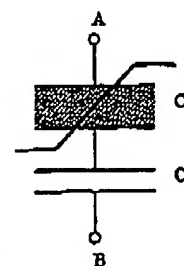
【図2 i】



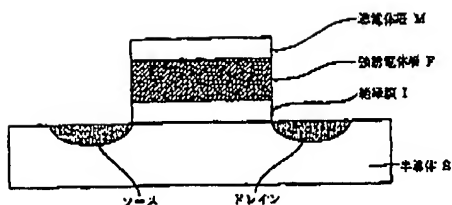
【図3】



【図6】



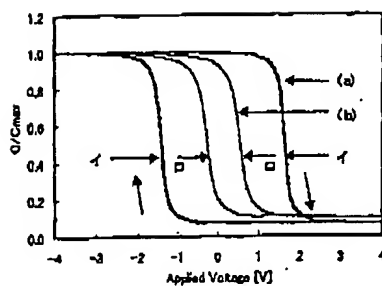
【図5】



(7)

特開2001-291841

【図4】



フロントページの続き

Fターム(参考) SF001 AA17 AB09 AD52 AG30
SF083 FR06 GA22 GA25 JA03 JA05
JA15 JA17 JA36 JA38 PR22
PR23 PR33
SF101 BA62 BB17 BD33 BH16

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.